

PAT-NO: JP409199522A
DOCUMENT-IDENTIFIER: JP 09199522 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: July 31, 1997

INVENTOR-INFORMATION:
NAME
ODA, ZENZO

ASSIGNEE-INFORMATION:
NAME SEIKO EPSON CORP COUNTRY
N/A

APPL-NO: JP08009275
APPL-DATE: January 23, 1996

INT-CL (IPC): H01L021/56, B29C033/38 , B29C045/02

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the releasability between semiconductor sealing resin and a mold by a method wherein a semiconductor is sealed with resin by using a mold which has a cavity whose inside surface is coated with titanium nitride.

SOLUTION: An IC chip 1 is molded with resin. A wiring board 10 on which the IC chip 1 is mounted and bonded with fine metal wires 3 is placed on a board placing part which is provided in a lower mold 21 one step down from the surface. After an upper mold 20 in which a cavity 23 is formed is put onto the lower mold, thermosetting epoxy resin is cast in a direction of an arrow and cured. Both the lower mold 20 and the upper mold 21 are coated with titanium nitride. It is recommended to apply titanium nitride by an ion plating method so as to have a thickness about 2-10 μ m. The molds coated with titanium nitride has an excellent releasability from the semiconductor sealing resin

after molding. With this constitution, it is not necessary to repeat a dummy shot by which the parting ease is recovered frequently, so that the semiconductor device can be manufactured with a high efficiency.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199522

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/56			H 0 1 L 21/56	R
B 2 9 C 33/38		9543-4F	B 2 9 C 33/38	
45/02		9543-4F	45/02	

審査請求 未請求 請求項の数3 OL (全4頁)

(21) 出願番号 特願平8-9275

(22) 出願日 平成8年(1996)1月23日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小田 善造

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

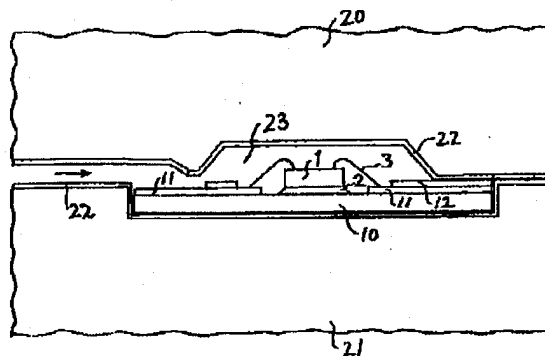
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】配線基板上に設けられた半導体素子を樹脂封止する方法に関し、成形作業の繰り返しによる成形後の樹脂と金型との離型性悪化を回復させるための樹脂を使ったダミーシヨットの工数を削減する。またICチップのヒビ割れ防止する。

【解決手段】ICチップを配線基板に接着固定し、ICチップ上の電極と配線基板上の配線とを金属細線で接続したのち、少なくとも内面を膜厚2ミクロンから10ミクロンの窒化チタンで被覆した金型を用いて熱硬化性エポキシ樹脂により封止する。

【効果】窒化チタンは成形後の半導体封止樹脂との離型性が良いので、離型性を回復させるためのダミーシヨットを頻繁に行う必要がなく、生産効率が向上する。またICチップのヒビ割れを防止できるので半導体装置の信頼性を高めることができる。



【特許請求の範囲】

【請求項1】少なくともキヤビティ内面を窒化チタンで被覆した金型を用いて樹脂封止する工程を含んだことを特徴とした半導体装置の製造方法。

【請求項2】請求項1記載の半導体装置の製造方法において、樹脂封止する工程に先立って半導体素子を配線基板に接着固定する工程を含んだことを特徴とした半導体装置の製造方法。

【請求項3】請求項2記載の半導体装置の製造方法において、樹脂封止する工程に先立って半導体素子上の電極と配線基板上の配線とを金属細線で接続する工程を含んだことを特徴とした半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は配線基板上に設けられた半導体素子を樹脂封止する方法に関する。

【0002】

【従来の技術】配線基板上にICチップをチップオンボードで実装しトランスファーマールド法により樹脂封止した製品としては、ICカードやBGA（ボールグリッドアレイ）がよく知られている。ICカードは従来の磁気カードに比べ記憶容量が大きく、携帯型パーソナルコンピュータの外部記憶装置やセキュリティーカードなど多くの用途に使われている。BGAは多ピンICパッケージとして従来より使われてきたQFPに比べさらに端子数を多くできる特長があり、近年のICの高機能化、多ピン化の傾向に合致しており需要が伸びて来ている。ICカード用半導体装置の樹脂封止に関する先願には特開平1-234217、特開平4-177753がある。

【0003】従来用いられている樹脂封止方法を図1、図2に示す。

【0004】まず、図1の樹脂封止方法を説明する。図1において1はICチップ、2は接着剤、3は金属細線、10は配線基板、11は金属配線、12はソルダーレジスト、20は上金型、21は下金型である。上金型および下金型母材としてSKD11、SKD12、SUS400などが用いられ、図示するようにメツキによる硬質クロム等の被覆22が施されている。被覆の目的は防錆と耐摩耗性および離型性の向上である。ただし、母材にSUS400を用いた場合など、被覆を施さないこともある。封止樹脂には熱硬化性樹脂がよく用いられる。矢印は樹脂の流入方向を示している。樹脂が金型のキヤビティ部23へ達する経路の下は離型性をよくするため、配線基板表面に金属配線11が設けられ、ソルダーレジストは被覆されていない。

【0005】つぎに図2の樹脂封止方法を説明する。図2において図1と同じ要素は同一の番号で示してある。図1の場合と異なり金型は3体より成る。30は上金型、31は下金型、32はキヤビティプレートである。樹脂の流入経路を配線基板から離すことにより基板から

の離型性が完全になる利点がある一方で、金型が3体に分かれているため自動化が難しいという欠点がある。金型の被覆については図1の場合と同様である。

【0006】

【発明が解決しようとする課題】図1、図2のいずれの場合でも、配線基板上に設けられた半導体素子を樹脂封止する場合には、配線基板の基材やソルダーレジストとの密着性を良くするため接着力の強い樹脂を使うが、このことが成形後の樹脂と金型との離型性を悪くする。前述の被覆のない金型や硬質クロムメツキの被覆をした金型を製造に用いた場合には、成形作業を繰り返すにしがって離型性が悪くなってくるので、離型性を回復させるための樹脂を使ったダミーショットを頻繁に行う必要があった。ダミーショットは製品を直接製造する作業ではないため生産の効率を悪くするという問題があった。また、離型性が悪くなった状態で無理に樹脂を金型から引き剥がすと中のICチップにヒビがはいるという問題があった。

【0007】離型性向上を目的とした硬質クロムメツキ以外の金型被覆材料の提案としては、特開昭56-090531の弗素樹脂があるが、金型から剥がれ易いし硬度が低く耐摩耗性が劣るので実用的でない。また、別の提案として特開平01-186309のニツケルリンめっきがあるが、硬度が不十分で摩耗し易くやはり実用的でない。

【0008】

【課題を解決するための手段】少なくともキヤビティ内面を窒化チタンで被覆した金型を用いて半導体を樹脂封止する。

【0009】

【作用】窒化チタンは成形後の半導体封止樹脂との離型性が良いので、離型性を回復させるためのダミーショットを頻繁に行う必要がない。

【0010】

【発明の実施の形態】本発明の実施例を図面を参照しながら説明する。

【0011】(1)最初に、配線基板10にICチップ1を搭載した。図3(a)はこの工程が終了した状態を示している。図3(a)において、2は接着剤、11は金属配線、12はソルダーレジストである。配線基板としては、耐熱性にすぐれたガラスエポキシ板のFR-5クラスを用いた。ポリイミド板あるいはセラミック板でもよい。配線基板の中央にはICチップ搭載部を設け、その周囲には金属配線11を設けた。ソルダーレジストは金属配線の内端部を除いた配線基板全面を覆わせた。ただし、図1の封止方法をとる場合は、前述のように樹脂が金型のキヤビティ部23へ達する経路の下は離型性をよくするため、配線基板表面に金属配線11を設け、ソルダーレジストでは被覆させないように(図3(a)の破線部のソルダーレジストが無い)した。金属配線は

銅箔で成り、ソルダーレジストに覆われていない内端部はニッケル、金メッキを施した。接着剤はエポキシ樹脂を主成分とした銀ペーストを使った。配線基板中央のICチップ搭載部にデイスペンサーで銀ペーストを塗布し、銀ペーストの上にICチップを載せたのち、175℃で1時間乾燥して硬化した。

【0012】(2) つぎに、ICチップ1表面上の電極(図示せず)と金属配線11を金属細線3で接続した。図3(b)はこの工程(ワイヤボンディング)が終了した状態を示している。金属細線としては金線を使った。

【0013】(3) つぎに、ICチップを樹脂封止した。図1に示すように、下金型に一段低く設けた基板載置部にICチップが搭載され金属細線が施された配線基板を置き、キャビティを設けた上金型をかぶせたのち、熱硬化型エポキシ樹脂を矢印の方向に流入させ硬化させた。上金型、下金型とも膜厚3ミクロンの窒化チタンの皮膜が施されたものを用いた。

【0014】窒化チタンはイオンプレーティング法により3ミクロンの厚みに着けられたものを用いたが、2ミクロンから10ミクロン程度の範囲が好ましい。硬質クロムあるいは窒化チタンを被覆した金型とエポキシ樹脂との離型抵抗および硬度の測定結果を以下に示す。

【0015】

(イ) 離型抵抗

	硬質クロム	窒化チタン
樹脂A	117g	76g
樹脂B	114g	90g

(ロ) 硬度

	硬質クロム	窒化チタン
硬度	900HV	2500HV

離型抵抗の測定データから、窒化チタンを被覆した金型は硬質クロムを被覆した金型に比べ、20%から35%離型性が改善できたことが分かる。半導体装置の封止樹脂表面を微小な凹凸がある謂ゆる梨地にするため、金型内面には微小な凹凸が付けられているが、硬質クロムメッキをした時にはクロムが凸部に付着し、メッキ前に比べて面がより粗くなるのに対して、窒化チタンをイオ

ンプレーティング法により被覆した時には凹凸面に均一に付着する。このことが窒化チタン被覆金型が硬質クロム被覆金型より離型性が良いひとつの原因と考えられる。また、硬度は約3倍であり、耐摩耗性も大幅に改善できた。

【0016】半導体素子と配線基板の接続方法としてワイヤボンディングによるものを示したが、フリップチップやTABでもよい。

【0017】半導体装置の例として配線基板にICチップを搭載した形態のものを示したが、42アロイや銅アロイのリードフレームにICチップを搭載し、ICチップの両面を樹脂封止したQFP、SOPでも同様の効果がある。特に、厚みが薄いTQFP、TSOPではICチップのヒビ割れが起こり易いので効果が顕著である。

【0018】

【発明の効果】窒化チタン被覆金型は成形後の半導体封止樹脂との離型性が良い。したがって離型性を回復させるためのダミーショットを頻繁に行う必要がないので効率よく半導体装置を製造できるし、ICチップのヒビ割れを防止できるので半導体装置の信頼性を高めることができる。

【図面の簡単な説明】

【図1】第1の樹脂封止方法を示す断面図。

【図2】第2の樹脂封止方法を示す断面図。

【図3】半導体装置の製造工程のうち、樹脂封止前の工程を示す断面図。

(a) ICチップ搭載後。

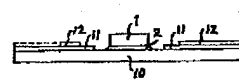
(b) ワイヤボンディング後。

【符号の説明】

- 1 ICチップ
- 2 接着剤
- 3 金属細線
- 10 配線基板
- 11 金属配線
- 12 ソルダーレジスト
- 20、30 上金型
- 21、31 下金型
- 22 被覆
- 23 キャビティ
- 40 32 キャビティプレート

特開平9-199522

【图3】



(a)



(b)